

IFW

Patent

Customer No. 31561
Application No.: 10/710,697
Docket No.12866-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chang et al.
Application No. : 10/710,697
Filed : Jul 29, 2004
For : CIRCUIT CONNECTING STRUCTURE AND
FABRICATING METHOD THEREOF
Examiner : N/A
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93110638,
filed on: 2004/4/16.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: April 20, 2005

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder

申請日：西元 2004 年 04 月 16 日
Application Date

申請案號：093110638
Application No.

申請人：欣興電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2004 年 9 月
Issue Date

發文字號：09320848360
Serial No.

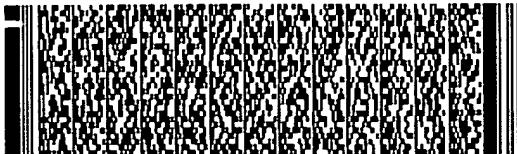
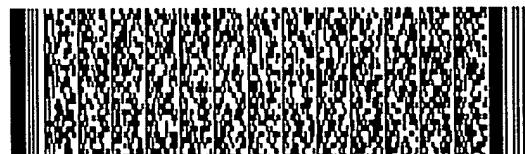
BEST AVAILABLE COPY

申請日期：2014.4.16	IPC分類
申請案號：93110638	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	線路連接結構及其製程
	英文	STRUCTURE FOR CONNECTING CIRCUITS AND MANUFACTURING PROCESS THEREOF
二、 發明人 (共3人)	姓名 (中文)	1. 張欽崇 2. 林嘉彬
	姓名 (英文)	1. CHANG, CHIN CHUNG 2. LIN, CHIA PIN
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 桃園縣大園鄉大海村7鄰18-21號 2. 台北縣三重市民生東街22號4樓
住居所 (英文)	1. No. 18-21, Da-Hai Tsun, 7 Lin, Da-Yuan Hsiang, Taoyuan County, Taiwan, R.O.C. 2. 4F, NO. 22, Min-Sheng E. St., Sanchung, Taipei County, Taiwan,	
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 欣興電子股份有限公司
	名稱或 姓名 (英文)	1. Unimicron Technology Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 桃園縣桃園市龜山工業區興邦路38號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 38, Hsing Pong Rd., Kwei-San Industrial Exended Zone, Taoyuan, Taiwan, R.O.C.
	代表人 (中文)	1. 曾子章
代表人 (英文)	1. TSENG, TZYY JANG	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	3. 莊光賢
	姓名 (英文)	3. JUANG, KWANG SHIANG
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中 文)	3. 桃園市益壽二街12巷13號
	住居所 (英 文)	3. No. 13, Lane 12, Yishou 2nd St., Taoyuan City, Taoyuan County 330, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：線路連接結構及其製程)

一種線路連接結構，係應用於一線路載板中。此線路連接結構至少包含兩絕緣層、兩導電層、一導電墊，其中每一絕緣層係分別具有一導電孔，此導電孔係分別對應地貫穿此絕緣層，且此兩絕緣層係貼合在一起。導電墊係配置於此兩絕緣層之間，且導電墊之二表面係分別與兩導電孔相接。兩導電層係分別配置於此線路連接結構的同一側之絕緣層上以及導電孔內，以分別連接此導電墊。由於本線路連接結構之導電孔的深度/寬度之比例較低，因此當電鍍導電孔時，可有效地防止鍍膜產生空孔或氣泡，進而提高導電孔之電鍍製程的可靠度。

伍、(一)、本案代表圖為：第_2_圖

(二)、本案代表圖之元件代表符號簡單說明：

200：線路連接結構

210、212：絕緣層

六、英文發明摘要 (發明名稱：STRUCTURE FOR CONNECTING CIRCUITS AND MANUFACTURING PROCESS THEREOF)

A structure for connecting circuits is applied for a circuit carrier. The structure for connecting circuits at least comprises two insulating layers, two electrical conductive layers, an electrical conductive pad, wherein each of the insulating layers respectively has a electrical conductive via. The electrical conductive via respectively and correspondingly



四、中文發明摘要 (發明名稱：線路連接結構及其製程)

210a、210b、212a：表面

220：導電墊

230、232：導電層

240、242：導電孔

六、英文發明摘要 (發明名稱：STRUCTURE FOR CONNECTING CIRCUITS AND MANUFACTURING PROCESS THEREOF)

run through the insulating layer. These two insulating layers are connected together and the electrical conductive pad is installed between these two insulating layers. The two surfaces of the electrical conductive pads are respectively connected to the two electrical conductive vias. The two electrical conductive layers are respectively installed on the same side of the



四、中文發明摘要 (發明名稱：線路連接結構及其製程)

六、英文發明摘要 (發明名稱：STRUCTURE FOR CONNECTING CIRCUITS AND MANUFACTURING PROCESS THEREOF)

insulating layer and in the electrical conductive via of the structure for connecting circuits, for connecting the electrical conductive pad respectively. Because the ratio of the depth to the width of each electrical conductive via on the structure for connecting circuits is lower. Therefore, when plating the electrical conductive vias, the ratio can effectively prevent the



四、中文發明摘要 (發明名稱：線路連接結構及其製程)

六、英文發明摘要 (發明名稱：STRUCTURE FOR CONNECTING CIRCUITS AND MANUFACTURING PROCESS THEREOF)

plating membrane from producing the aperture or bubbles, so it can promote the reliability of the plating manufacturing process thereof.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種連接結構，且特別是有關於一種線路連接結構，其導電孔的深度較淺，相較於導電孔的寬度不變的情況下，使得導電孔的深度/寬度之比例較低。

先前技術

近年來隨著電子工業之生產技術的突飛猛進，印刷電路板 (Printed Circuit Board，簡稱PCB) 之出現，使得印刷電路板幾乎已取代原有之導線銲接組件系統，再加上印刷電路板可搭載各種體積精巧之電子零件，所以印刷電路板目前已廣泛地應用於電子工業。隨著積體電路 (IC) 及電腦系統的相繼問世，電路的設計越來越複雜及精細，因此，單面板型態之印刷電路板將無法提供足夠的連接線路，使得雙面板及多層板型態之印刷電路板相繼出現。就晶片封裝領域而言，印刷電路板除可作為電腦系統之主機板 (main board) 以外，具有微細線路 (fine circuit) 之印刷電路板更可作為晶片封裝用之線路基板。為了在有限的線路基板空間內，增加其電路之導線密度 (wire density)，以增加整體基板之繞線密度 (trace routing density)，通常會藉由至少一線路連接結構，以電性連接線路基板的至少兩個以上之圖案化線路層。

圖1A繪示為習知的一種線路連接結構之剖面示意圖。請參照圖1A，因本圖示之線路連接結構101乃是以雙面板為例，故其導電層之數目為兩層。習知的線路連接結構101係應用於一線路載板 (圖未示) 中，其中此線路載板

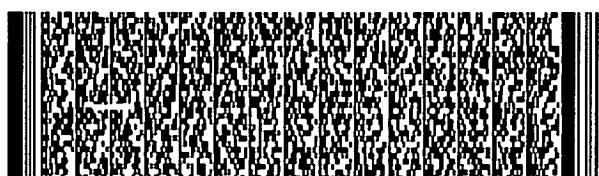
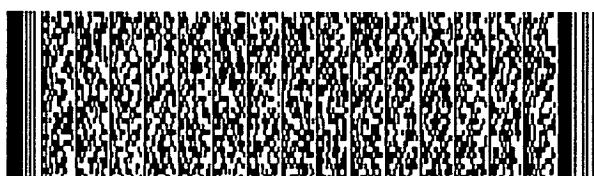


五、發明說明 (2)

至少包含兩圖案化線路層（圖均未示），線路連接結構101包含一絕緣層110、兩導電層120、122、一導電孔130與一導電膜124，其中絕緣層110的材質通常為環氧樹脂(epoxy resin)、導電層120、122之材質通常為銅。導電層120、122係分別配置於絕緣層110之相對兩表面112、114上，且線路連接結構101係以蝕刻或直接雷射成孔的方式而形成貫穿導電層120、絕緣層110之導電孔130。

圖1B繪示為圖1A之線路連接結構，其導電膜不平均地配置於導電孔的側壁上之剖面示意圖。請參照圖1B，為了讓導電孔130能夠電性連接導電層120、122，因此線路連接結構101尚須配置一導電膜124，其以一般電鍍或塞孔電鍍的方式而形成。由於當電鍍導電孔130時，在導電層120與導電孔130相連接的尖端處容易產生電荷集中的現象，故在此尖端處之導電膜124的厚度會較高，相反地，在導電孔130之底部周圍的導電膜124的厚度較低。由於目前導電孔130多由雷射成孔製程所形成，其最小寬度多為一致，然而其深度過深（約超過100 μm ），使得導電孔130之深度/寬度的比例過高，導致導電膜124更加不平均地形成於導電孔130內。

圖1C繪示為圖1A之線路連接結構，其部分導電膜連接並產生空孔之剖面示意圖。請參照圖1C，當導電膜124之厚度繼續增加時，在靠近導電孔130之頂部的導電膜124將相互連接，且在靠近導電孔130之底部附近將會產生空孔140，其可容納氣體並產生氣泡，進而降低線路連接結構



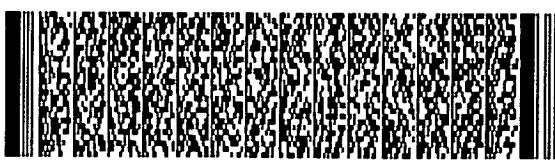
五、發明說明 (3)

103 之導電膜 124 的增層製程之可靠度。

發明內容

有鑑於此，本發明之目的就是在提供一種線路連接結構，其導電孔的深度較淺，相較於導電孔的寬度不變之情況下，使得導電孔之深度/寬度的比例較小，以有效地防止鍍膜產生空孔或氣泡。

本發明之再一目的是提供一種線路連接結構製程，其線路連接結構之導電孔的深度較淺，相較於導電孔的寬度不變之情況下，使得導電孔之深度/寬度的比例較小，以有效地防止鍍膜產生空孔或氣泡。



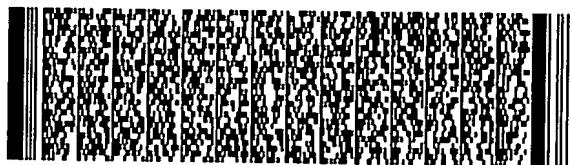
五、發明說明 (4)

化線路層。

依照本發明的較佳實施例所述之線路連接結構，其中導電墊、第一導電層、第二導電層之材質包含銅。

依照本發明的較佳實施例所述之線路連接結構，其中第一絕緣層、第二絕緣層之材質包含環氧樹脂。

基於上述，本發明之線路連接結構因採用一導電墊於兩絕緣層之間，並將兩導電層關係分別分置於此線路連接結構的同一側之絕緣層上、導電孔內，使得兩導電層共同藉



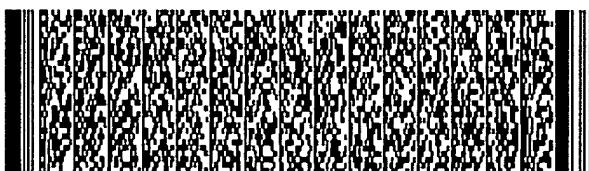
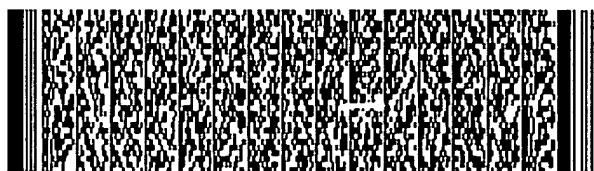
五、發明說明 (5)

由此一導電墊而達到彼此之間的電性連接。因此，相較於導電孔的寬度不變之情況下，本發明之線路連接結構可有效地減少每一導電孔之深度，使得導電孔之深度/寬度的比例降低，導致導電孔內之導電層的膜厚分佈可較為均勻，以有效地防止導電孔內之導電層產生氣泡、空孔等。

為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

請參照圖2，其繪示為本發明較佳實施例的一種線路連接結構之剖面示意圖。本發明較佳實施例之線路連接結構200乃是以雙面板為例，且線路連接結構200係應用於一線路載板（圖未示）中，其中此線路載板至少包含兩圖案化線路層（圖均未示）。本發明之線路連接結構200具有至少兩絕緣層210、212、一導電墊220、兩導電層230、232，其中絕緣層210具有一導電孔240，係貫穿絕緣層210，而絕緣層212具有一導電孔242，係貫穿絕緣層212，且絕緣層212係與絕緣層210貼合。導電墊220係配置於兩絕緣層210、212之間，且導電墊220之兩表面220a、220b係分別與導電孔240、242相接。導電層230係配置於絕緣層210之表面210b上以及導電孔240內，以連接導電墊220。導電層232係配置於絕緣層212之表面212a上以及導電孔242內，以連接導電墊220，且導電層230、232係分別適於形成一圖案化線路層。絕緣層210、212之材質例如為



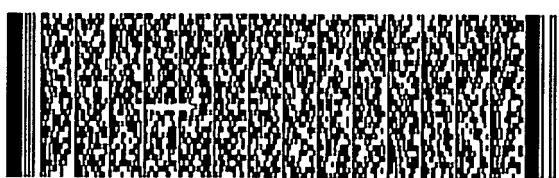
五、發明說明 (6)

環 氧 樹 脂 (epoxy resin)，且導電墊220與導電層230、232之材質例如為銅，使得兩導電層230、232共同藉由導電墊220而達到彼此之間電性連接。

圖4繪示為本發明較佳實施例的一種線路連接製程之流程步驟圖。圖3A繪示為本發明較佳實施例的一種線路連接結構，其一絕緣層、一導電層及一導電墊之剖面示意圖。請同時參照圖4及3A，本發明較佳實施例的一種線路連接製程300包含下列數個步驟。首先，在步驟310中，形成一導電墊220於一絕緣層210（即流程方塊310之第一絕緣層）之一表面210a上，此導電墊220之形成方式例如以蝕刻 (etching) 方式製成，並且將一導電層230（即流程方塊310之第一導電層）形成於絕緣層210之一表面210b上。

圖3B繪示為圖3A之線路連接結構，其增加一絕緣層與一導電層之面示意圖。請同時參照圖4及3B，之後，於步驟320中，將一絕緣層212（即流程方塊320之第二絕緣層）形成於絕緣層210之表面210a上，並覆蓋導電墊220，且將一導電層232（即流程方塊320之第二導電層）形成於絕緣層212之一表面212a上。絕緣層212與導電層232之增層製程例如是以膠片或樹脂銅箔 (Resin Coated Copper, RCC) 或液態樹脂等壓合或電鍍等方式來增層。

圖3C繪示為圖3B之線路連接結構，其增加兩導電孔之剖面示意圖。請同時參照圖4及3C，然後，於步驟330中，自導電層230上形成一導電孔240（即流程方塊330之第一

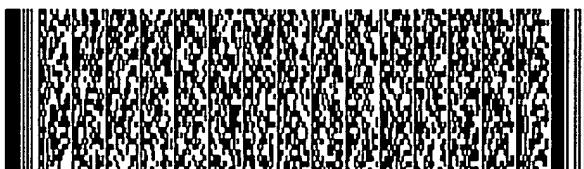


五、發明說明 (7)

導電孔），其穿過絕緣層210，以暴露出導電墊220，並且自導電層232上形成一導電孔242（即流程方塊330之第二導電孔），其穿過絕緣層212，以暴露出導電墊220。兩導電孔240、242之成孔製程例如以雷射、機械、電漿或併用光學等方式來製作。

圖3D繪示為圖3C之線路連接結構，其分別增加兩導電孔內的兩導電層之剖面示意圖。請同時參照圖4及3D，接著，於步驟340中，形成導電層234（即流程方塊340之第三導電層）於導電孔240內，以連接導電墊220及導電層230，並定義導電層234及導電層230，以形成一圖案化線路層。並且，形成導電層236（即流程方塊340之第四導電層）於導電孔242內，以連接導電墊220及導電層232，並定義導電層236及導電層232，以形成一圖案化線路層，使得兩導電層230、232共同藉由導電墊220而達到彼此之間電性連接。導電孔240、242內之導電層234、236的增層製程例如是以一般電鍍或塞孔電鍍等方式，或者是將一金屬膠、一導電聚合物填入等方式來增層，而其定義之方法比如是微影蝕刻。

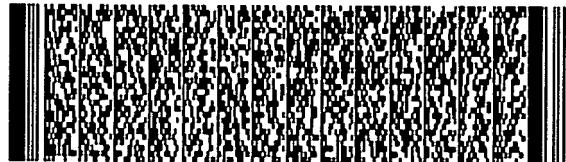
綜上所述，本發明較佳實施例之線路連接結構及其製程因配置一導電墊於兩絕緣層之間，使得兩導電層共同藉由此一導電墊而達到彼此之間的電性連接。因此，本發明之線路連接結構可有效地減少導電孔之深度（僅約 $60 \mu\text{m}$ 左右），在導電孔之寬度大致相同的情況下，進而降低導電孔之深度/寬度的比例，使得當電鍍線路連接結構之導



五、發明說明 (8)

電孔時，導電孔內之導電層的膜厚分佈可較為均勻，並可有效地避免導電孔內之導電層產生空孔、氣泡等，以增加導電層之可靠性。用精確的製程步驟可增加導電層的可靠性。

雖然本發明已以一較佳實施例揭露如上，然其並非本發明之保有以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1A 繪示為習知的一種線路連接結構之剖面示意圖。

圖1B 繪示為圖1A之線路連接結構，其導電膜不平均地配置於導電孔的側壁上之剖面示意圖。

圖1C 繪示為圖1A之線路連接結構，其部分導電膜連接並產生空孔之剖面示意圖。

圖2 繪示為本發明較佳實施例的一種線路連接結構之剖面示意圖。

圖3A 繪示為本發明較佳實施例的一種線路連接結構，其一絕緣層、一導電層及一導電墊之剖面示意圖。

圖3B 繪示為圖3A之線路連接結構，其增加一絕緣層與一導電層之剖面示意圖。

圖3C 繪示為圖3B之線路連接結構，其增加兩導電孔之剖面示意圖。

圖3D 繪示為圖3C之線路連接結構，其分別增加兩導電孔內的兩導電層之剖面示意圖。

圖4 繪示為本發明較佳實施例的一種線路連接製程之流程步驟圖。

【圖式標示說明】

101、102、103：線路連接結構

110：絕緣層

112、114：表面

120、122：導電層

124：導電膜

130：導電孔



圖式簡單說明

140 : 空孔

200 : 線路連接結構

210、212 : 絝緣層

210a、210b、212a : 表面

220 : 導電墊

230、232、234、236 : 導電層

240、242 : 導電孔

300 : 線路連接製程

301、302、303、304 : 線路連接結構

310、320、330、340 : 流程方塊



六、申請專利範圍

1. 一種線路連接結構，係應用於一線路載板中，其中該線路載板至少包括一第一圖案化線路層及一第二圖案化線路層，該線路連接結構包括：

一第一絕緣層，具有一第一導電孔，其貫穿該第一絕緣層；

一第二絕緣層，具有一第二導電孔，其貫穿該第二絕緣層，且該第二絕緣層係與該第一絕緣層貼合；

一導電墊，配置於該第一絕緣層與該第二絕緣層之間，且該導電墊之二表面係分別與該第一導電孔及該第二導電孔相接；

一第一導電層，配置於該第一絕緣層之遠離該第二絕緣層的表面上，並配置於該第一導電孔中，以連接該導電墊，且該第一導電層係適於形成該第一圖案化線路層；以及

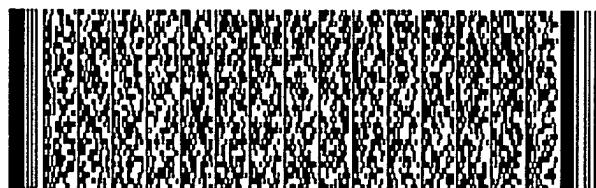
一第二導電層，配置於該第二絕緣層之遠離該第一絕緣層的表面上，並配置於該第二導電孔中，以連接該導電墊，且該第二導電層係適於形成該第二圖案化線路層。

2. 如申請專利範圍第1項所述之線路連接結構，其中該導電墊之材質包括銅。

3. 如申請專利範圍第1項所述之線路連接結構，其中該第一導電層之材質包括銅。

4. 如申請專利範圍第1項所述之線路連接結構，其中該第二導電層之材質包括銅。

5. 如申請專利範圍第1項所述之線路連接結構，其中



六、申請專利範圍

該第一絕緣層之材質包括環氧樹脂。

6. 如申請專利範圍第1項所述之線路連接結構，其中該第二絕緣層之材質包括環氧樹脂。

7. 一種線路連接製程，係應用於一線路載板中，其中該線路載板至少包括一第一圖案化線路層及一第二圖案化線路層，該線路連接製程至少包括：

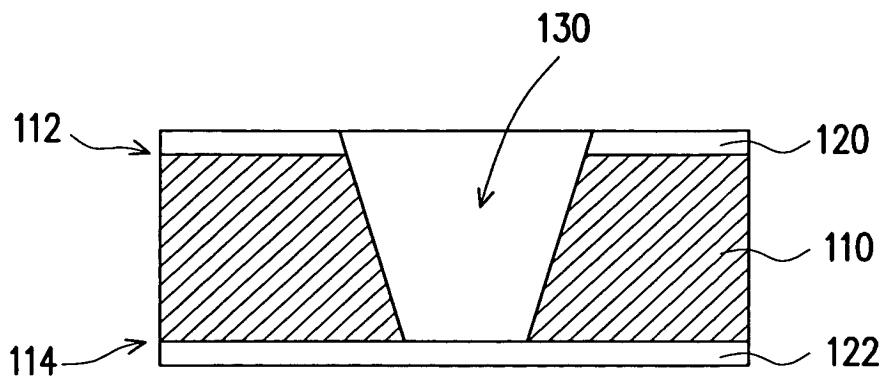
提供一導電墊，形成於一第一絕緣層之一另一層之緣；並將一第一導電層形成於該第一絕緣層，並覆遠離該第一絕緣層的表面上；

將一第二絕緣層形成於該第一導電層，並於該第二絕緣層上形成一導電孔，其穿過該第二絕緣層，以暴露出該導電墊；以及

形成一第三導電層於該第一導電孔中，以連接該導電層於定線路；

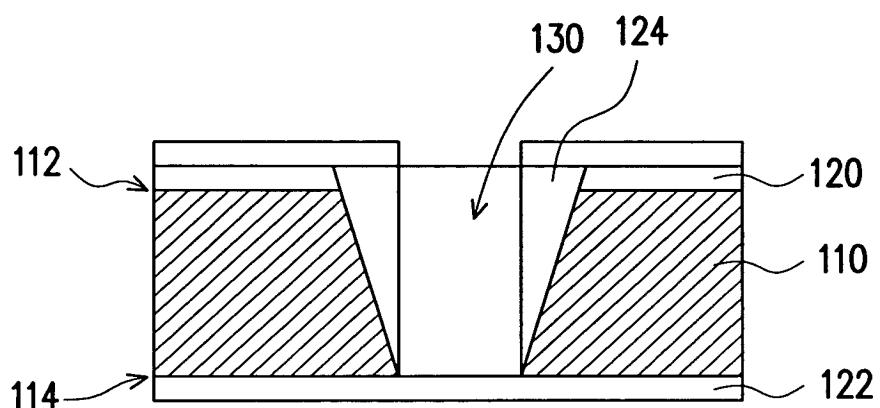
及該第一導電層，並形成該第三導電層，且形成該第二導電層，以形成該第二圖案化線路層。





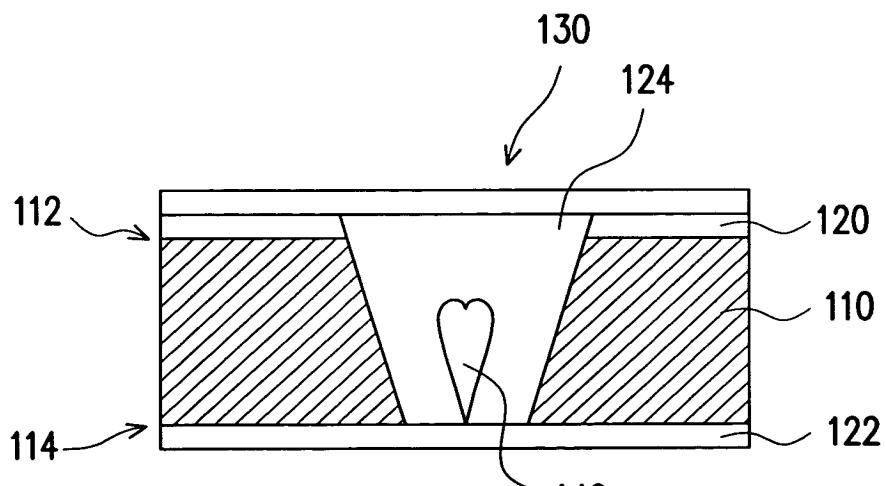
101

圖 1A



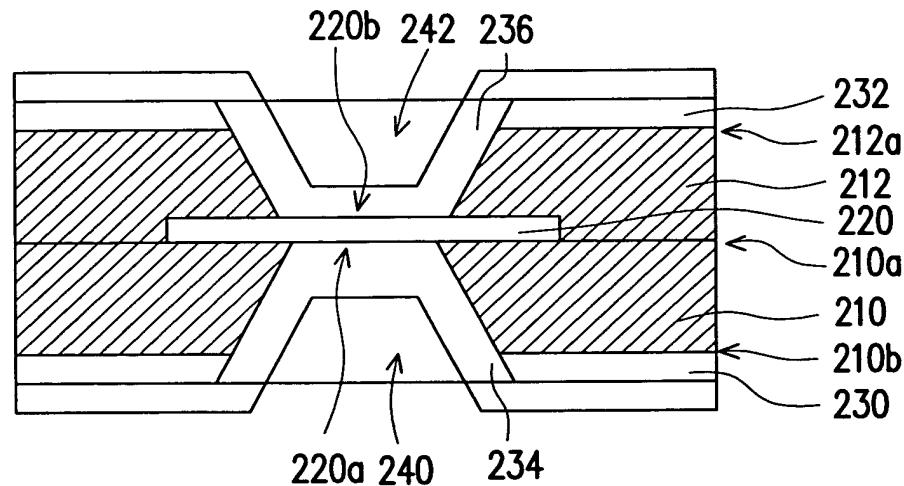
102

圖 1B



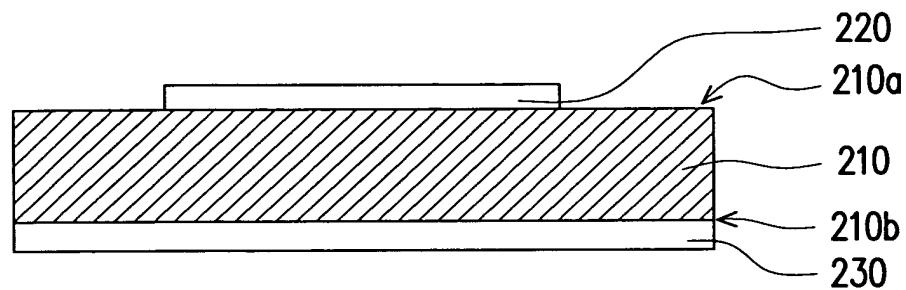
103

圖 1C



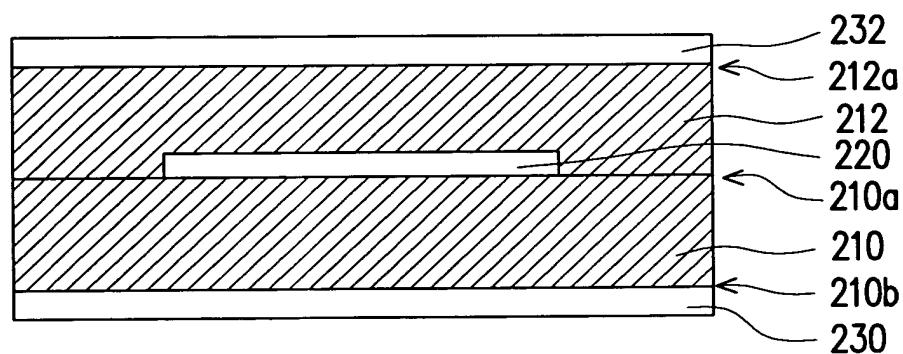
200

圖 2



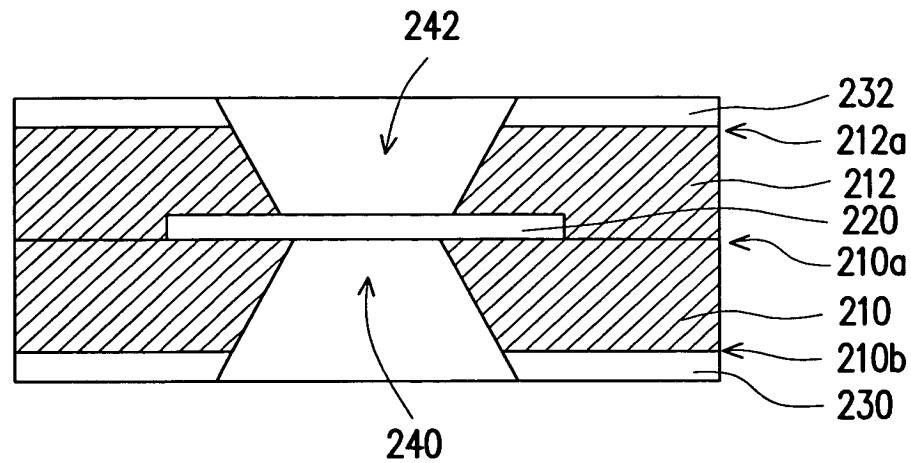
301

圖 3A



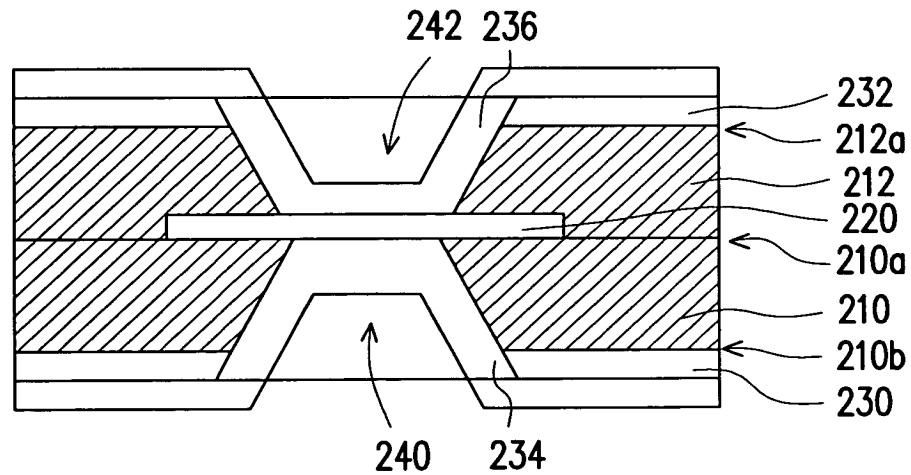
302

圖 3B



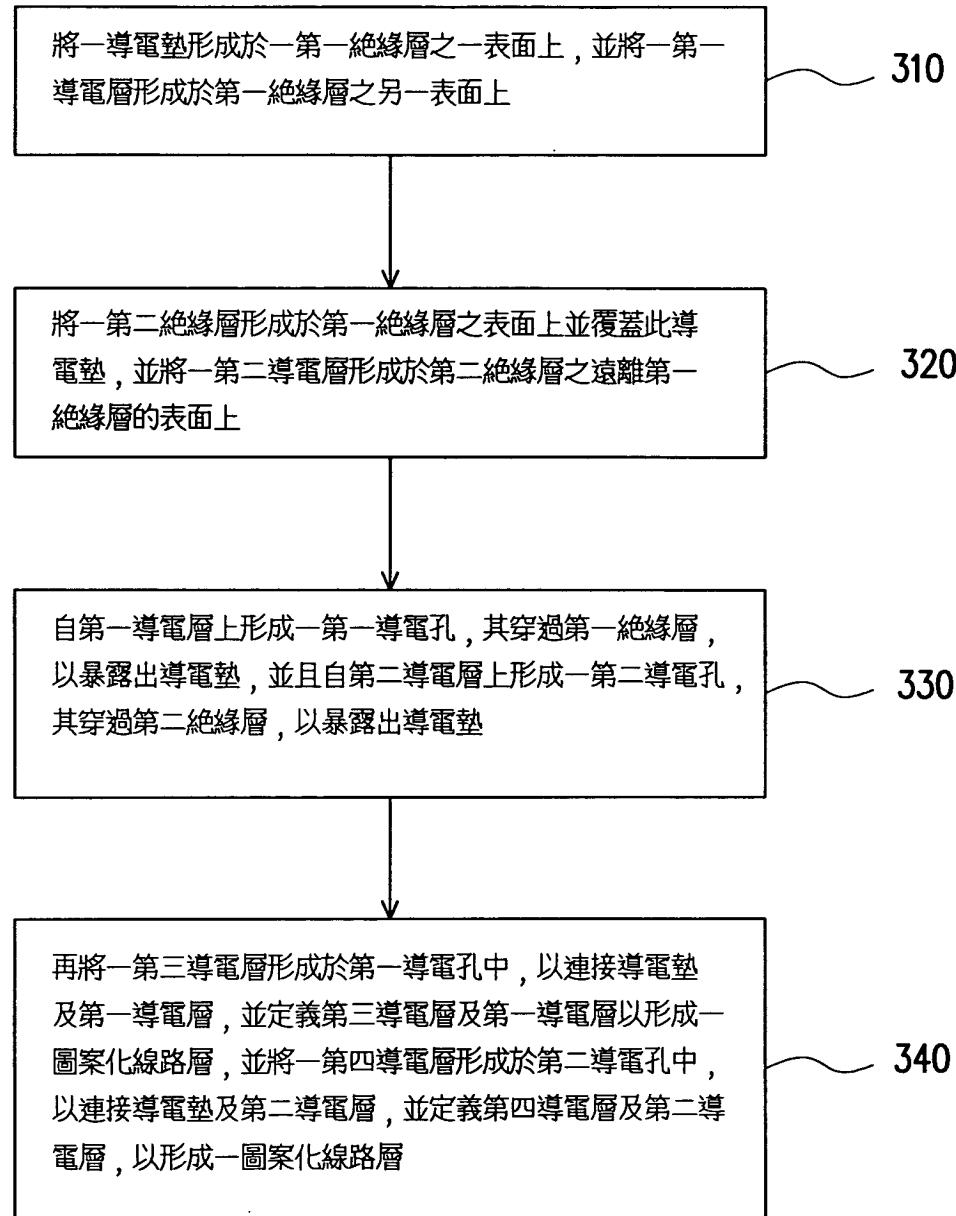
303

圖 3C



304

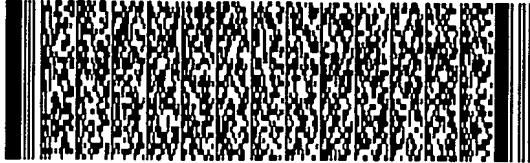
圖 3D



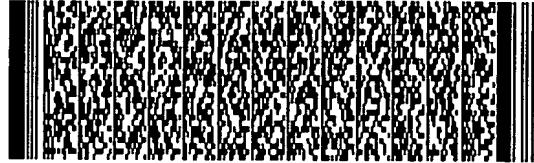
300

圖 4

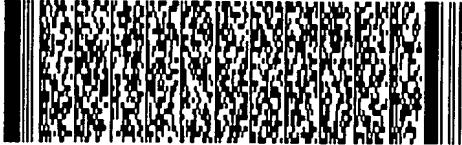
第 1/19 頁



第 1/19 頁



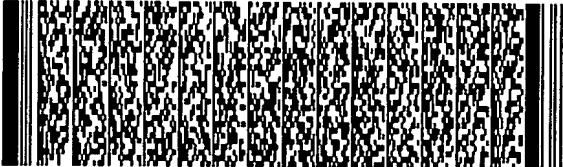
第 2/19 頁



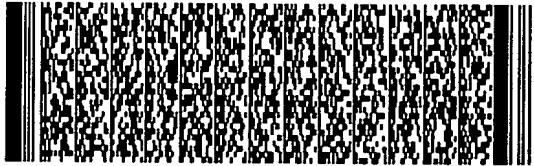
第 3/19 頁



第 3/19 頁



第 4/19 頁



第 5/19 頁



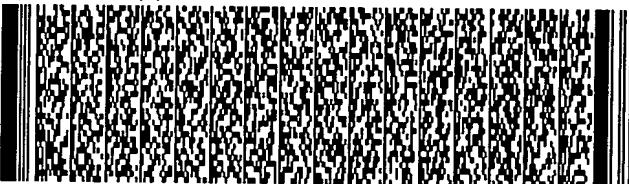
第 6/19 頁



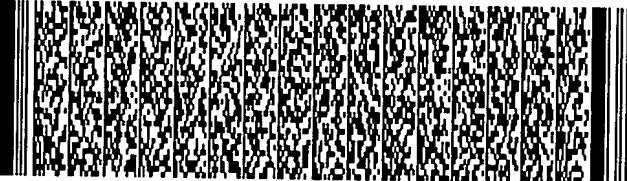
第 7/19 頁



第 8/19 頁



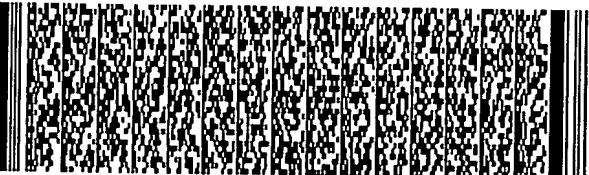
第 8/19 頁



第 9/19 頁



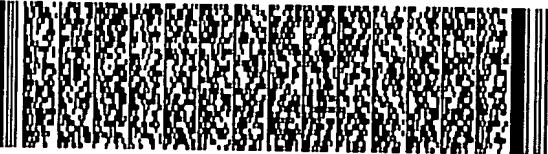
第 9/19 頁



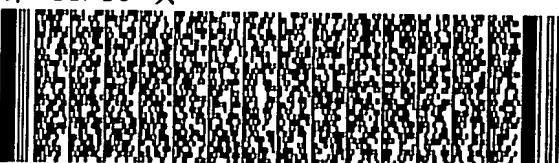
第 10/19 頁



第 10/19 頁



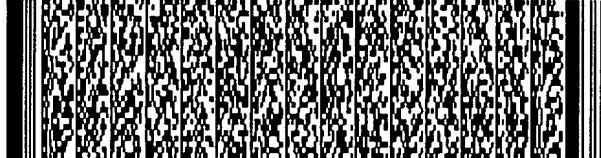
第 11/19 頁



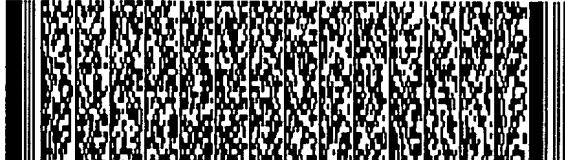
第 11/19 頁



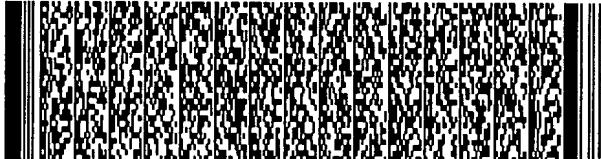
第 12/19 頁



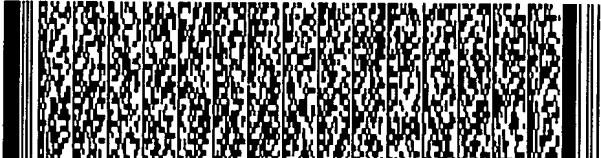
第 13/19 頁



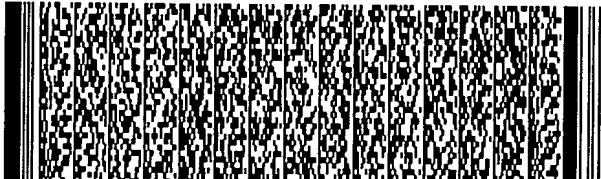
第 14/19 頁



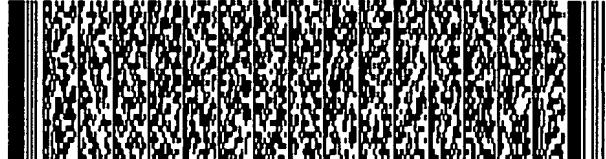
第 16/19 頁



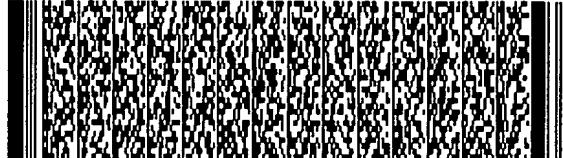
第 18/19 頁



第 12/19 頁



第 13/19 頁



第 14/19 頁



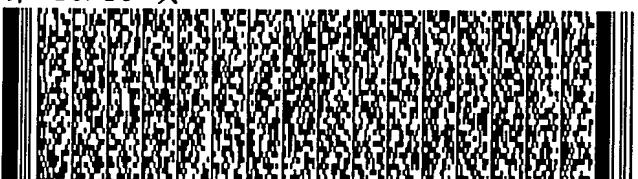
第 15/19 頁



第 17/19 頁



第 19/19 頁



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.